

(E)

Abstract of TW 489532

The present invention pertains to a stacked structure and the production thereof. The stacked structure comprises a substrate; an integrated circuit disposed on and electrically connected to said substrate; a packaging layer positioned on said integrated circuit for packaging the integrated circuit; an image sensor chip positioned upon said packaging layer which is stacked with said integrated circuit and electrically connected to said substrate; and a light-transmission layer covering said image sensor chip to allow the image sensor ship to be able to receive the image singles through said light-transmission layer. According to the present invention, the image sensor chip and the integrated circuit can be integrated and stacked.

(E)

[11]公告編號：498532

[44]中華民國 91 年 (2002) 08 月 11 日

發明

全 6 頁

[51] Int.Cl.⁰⁷ : H01L23/60

[54]名稱：靜電放電保護結構之製造方法

[21]申請案號：090119366

[22]申請日期：中華民國 90 年 (2001) 08 月 08 日

[72]發明人：

俞大立

新竹縣竹東鎮中興路四段五七二巷四十弄一號四樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種靜電放電保護結構之製造方法，包括下列步驟：
提供一基底；
執行第一離子佈植製程，以於上述基底形成一第一第一導電型態井區，上述第一第一導電型態井區具有一靜電放電區；
於上述基底及靜電放電區執行第二離子佈植製程，藉以形成一第二第一導電型態井區及一靜電放電保護元件；及
分別於上述第一第一導電型態井區及第二第一導電型態井區形成第一閘極，第一源極，及與上述靜電放電保護元件鄰接之第一汲極，以及第二閘極，第二源極，以及第二汲極。
2. 如申請專利範圍第 1 項所述之靜電放電保護結構之製造方法，其中上述基底為矽基底。

3. 如申請專利範圍第 2 項所述之靜電放電保護結構之製造方法，其中上述第一第一導電型態井區及第二第一導電型態井區為 P 型井區。
4. 如申請專利範圍第 3 項所述之靜電放電保護結構之製造方法，其中上述第一離子佈植製程及第二離子佈植製程係摻雜硼離子。
5. 如申請專利範圍第 4 項所述之靜電放電保護結構之製造方法，其中上述靜電放電保護元件之硼離子濃度係高於上述第一第一導電型態井區及第二第一導電型態井區之硼離子濃度。
6. 如申請專利範圍第 5 項所述之靜電放電保護結構之製造方法，其中上述靜電放電保護元件之硼離子濃度係約略等於上述第一第一導電型態井區及第二第一導電型態井區之硼離子濃度總和。

- 7.如申請專利範圍第6項所述之靜電放電保護結構之製造方法，其中上述靜電放電保護元件之硼離子濃度約為 $1e17\text{cm}^{-3} \sim 9e18\text{cm}^{-3}$ 。
- 8.如申請專利範圍第7項所述之靜電放電保護結構之製造方法，其中上述第一第一導電型態井區之硼離子濃度約為 $1e16\text{cm}^{-3} \sim 5e18\text{cm}^{-3}$ 。
- 9.如申請專利範圍第8項所述之靜電放電保護結構之製造方法，其中上述第二第一導電型態井區之硼離子濃度約為 $1e16\text{cm}^{-3} \sim 5e18\text{cm}^{-3}$ 。
- 10.如申請專利範圍第9項所述之靜電放電保護結構之製造方法，其中上述第一離子佈植製程之硼離子摻雜劑量約為 $1e12\text{cm}^{-3} \sim 6e13\text{cm}^{-2}$ 。
- 11.如申請專利範圍第10項所述之靜電放電保護結構之製造方法，其中上述第二離子佈植製程之硼離子摻雜劑量約為 $1e12\text{cm}^{-3} \sim 6e13\text{cm}^{-2}$ 。
- 12.一種靜電放電保護結構之製造方法，包括下列步驟：
提供一基底；
執行第一離子佈植製程，以於上述基底形成一第一第一導電型態井區，上述第一第一導電型態井區中具有一靜電放電區；
於上述基底及靜電放電區執行第二離子佈植製程，藉以形成一第二第一導電型態井區及一靜電放電保護元件；
分別於上述第一第一導電型態井區及第二第一導電型態井區形成第一閘極，第一源極，以及與上述靜電放電保護元件鄰接之第一汲極，以及第二閘極，第二源極，以及第二汲極；
形成分別對準上述第一閘極及第二閘極之側壁絕緣間隔物；
全面性形成一層間絕緣層以覆蓋上

- 述基底以及上述第一閘極及第二閘極；
於上述層間絕緣層形成複數接觸窗；及
於上述接觸窗沈積一金屬層。
- 13.如申請專利範圍第12項所述之靜電放電保護結構之製造方法，其中上述基底為矽基底。
- 14.如申請專利範圍第13項所述之靜電放電保護結構之製造方法，其中上述第一第一導電型態井區及第二第一導電型態井區為P型井區。
- 15.如申請專利範圍第14項所述之靜電放電保護結構之製造方法，其中上述第一離子佈植製程及第二離子佈植製程係摻雜硼離子。
- 16.如申請專利範圍第15項所述之靜電放電保護結構之製造方法，其中上述靜電放電保護元件之硼離子濃度係高於上述第一第一導電型態井區及第二第一導電型態井區之硼離子濃度。
- 17.如申請專利範圍第16項所述之靜電放電保護結構之製造方法，其中上述靜電放電保護元件之硼離子濃度係約略等於上述第一第一導電型態井區及第二第一導電型態井區之硼離子濃度總和。
- 18.如申請專利範圍第17項所述之靜電放電保護結構之製造方法，其中上述靜電放電保護元件之硼離子濃度約為 $1e17\text{cm}^{-3} \sim 9e18\text{cm}^{-3}$ 。
- 19.如申請專利範圍第18項所述之靜電放電保護結構之製造方法，其中上述第一第一導電型態井區之硼離子濃度約為 $1e16\text{cm}^{-3} \sim 5e18\text{cm}^{-3}$ 。
- 20.如申請專利範圍第19項所述之靜電放電保護結構之製造方法，其中上述第二第一導電型態井區之硼離子濃度約為 $1e16\text{cm}^{-3} \sim 5e18\text{cm}^{-3}$ 。

21.如申請專利範圍第20項所述之靜電放電保護結構之製造方法，其中上述第一離子佈植製程之硼離子摻雜劑量約為 $1e12\text{cm}^{-3} \sim 6e13\text{cm}^{-2}$ 。

22.如申請專利範圍第21項所述之靜電放電保護結構之製造方法，其中上述第二離子佈植製程之硼離子摻雜劑量約為 $1e12\text{cm}^{-3} \sim 6e13\text{cm}^{-2}$ 。

圖式簡單說明：

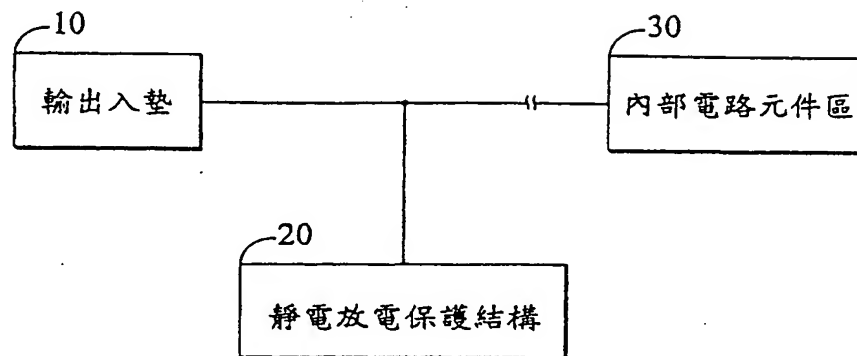
第1圖係顯示傳統具靜電放電保護結構之內部電路元件示意圖。

第2圖係顯示第1圖之傳統靜電放電保護結構之半導體剖面圖。

第3A圖至第3C圖係顯示傳統於半導體基底形成ESD裝置之剖面圖。

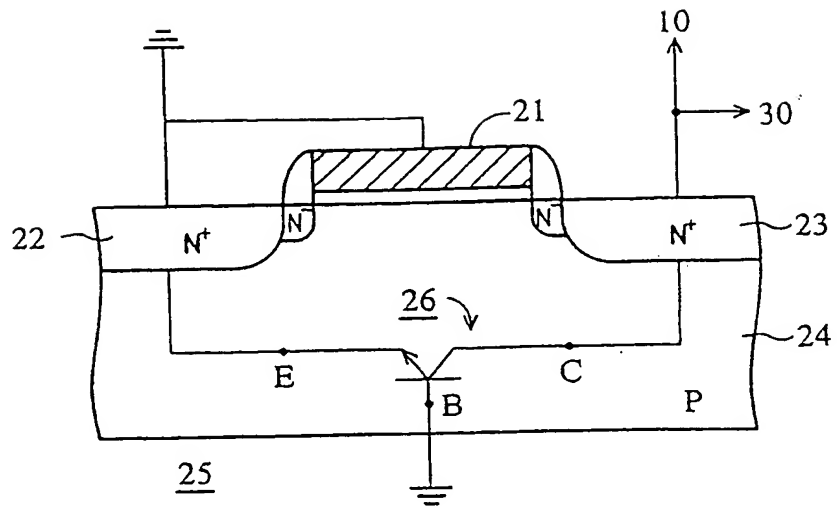
第4A圖係顯示根據本發明實施例所述於半導體基底形成ESD裝置之操作流程上視圖。

第4B圖係顯示根據本發明實施例所述於半導體基底形成ESD裝置之操作流程剖面圖。

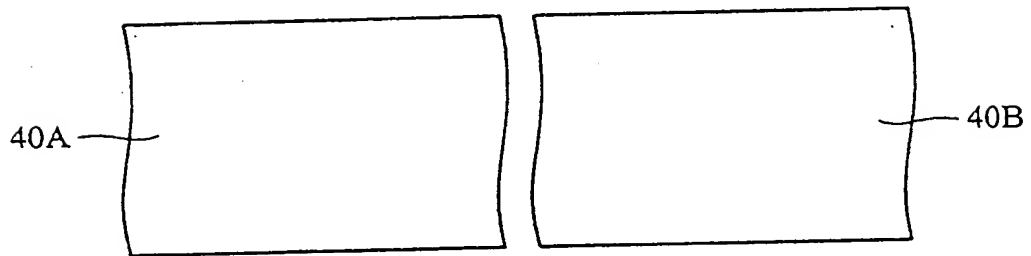


第1圖

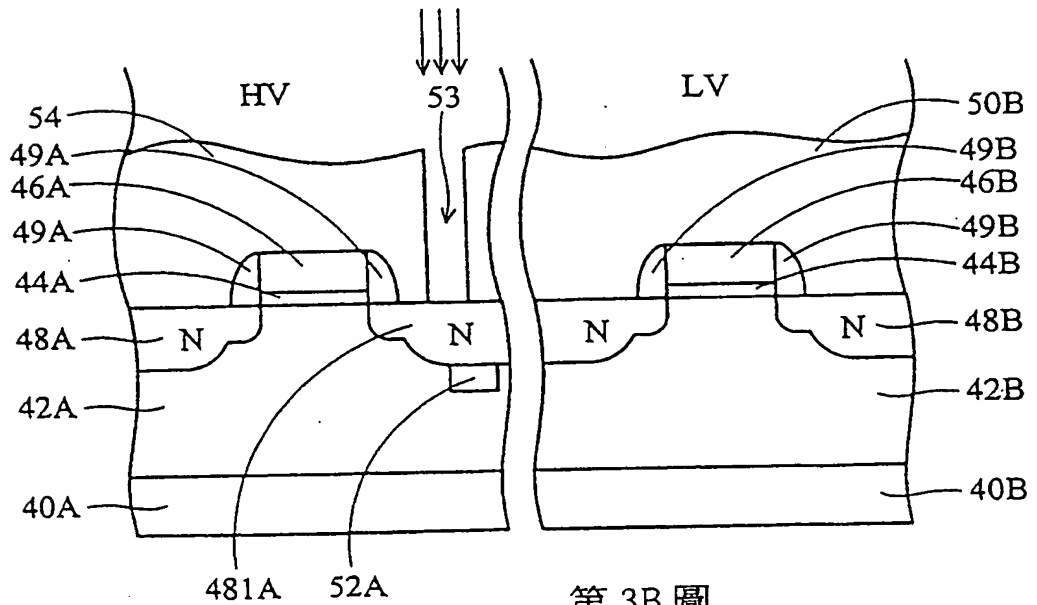
(4)



第 2 圖

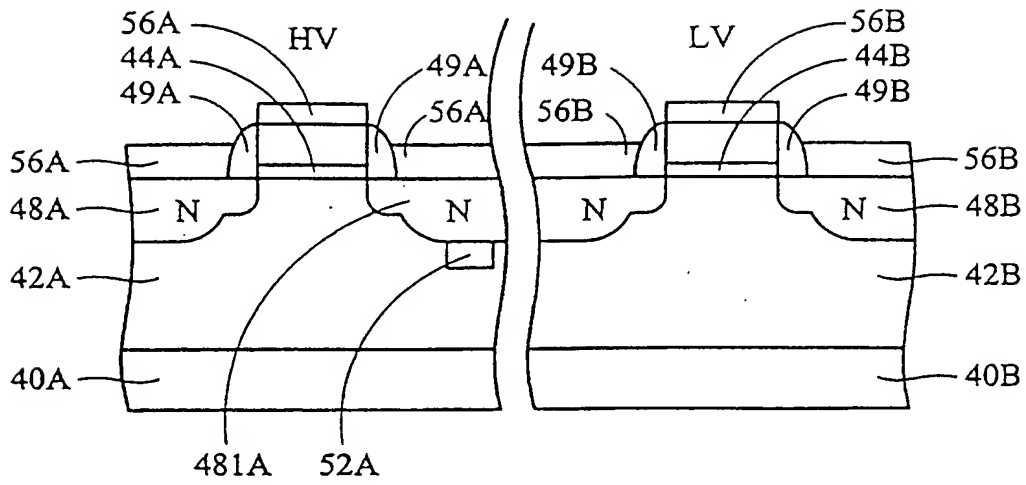


第 3A 圖

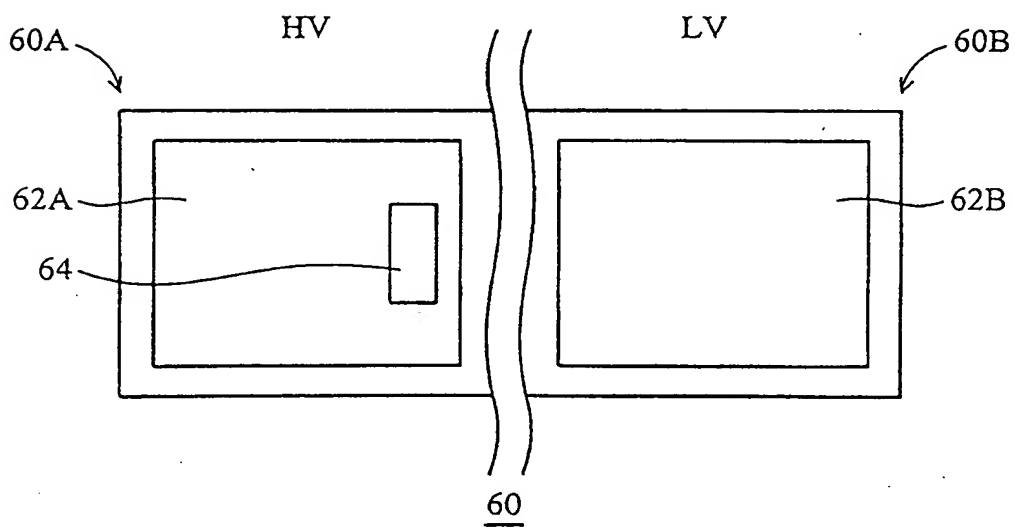


第 3B 圖

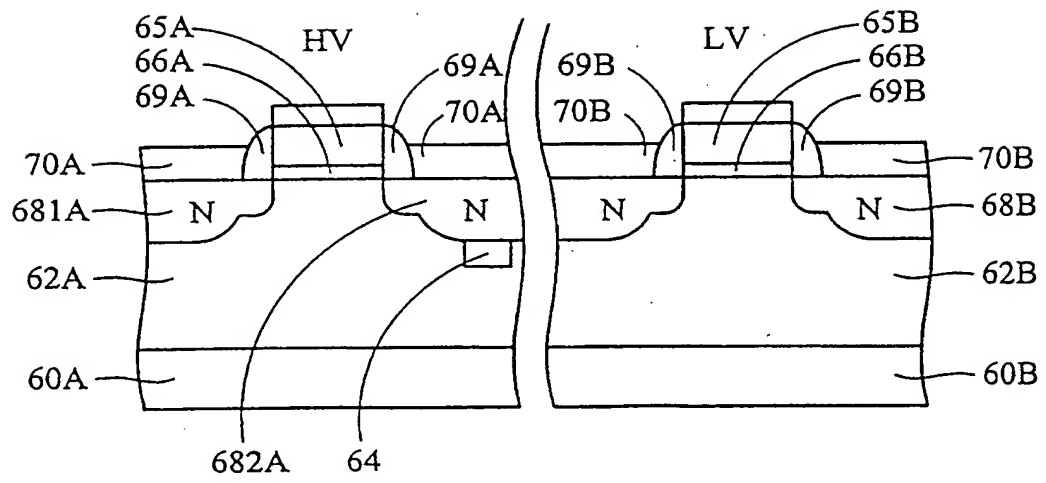
(5)



第 3C 圖



第 4A 圖



第 4B 圖